

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

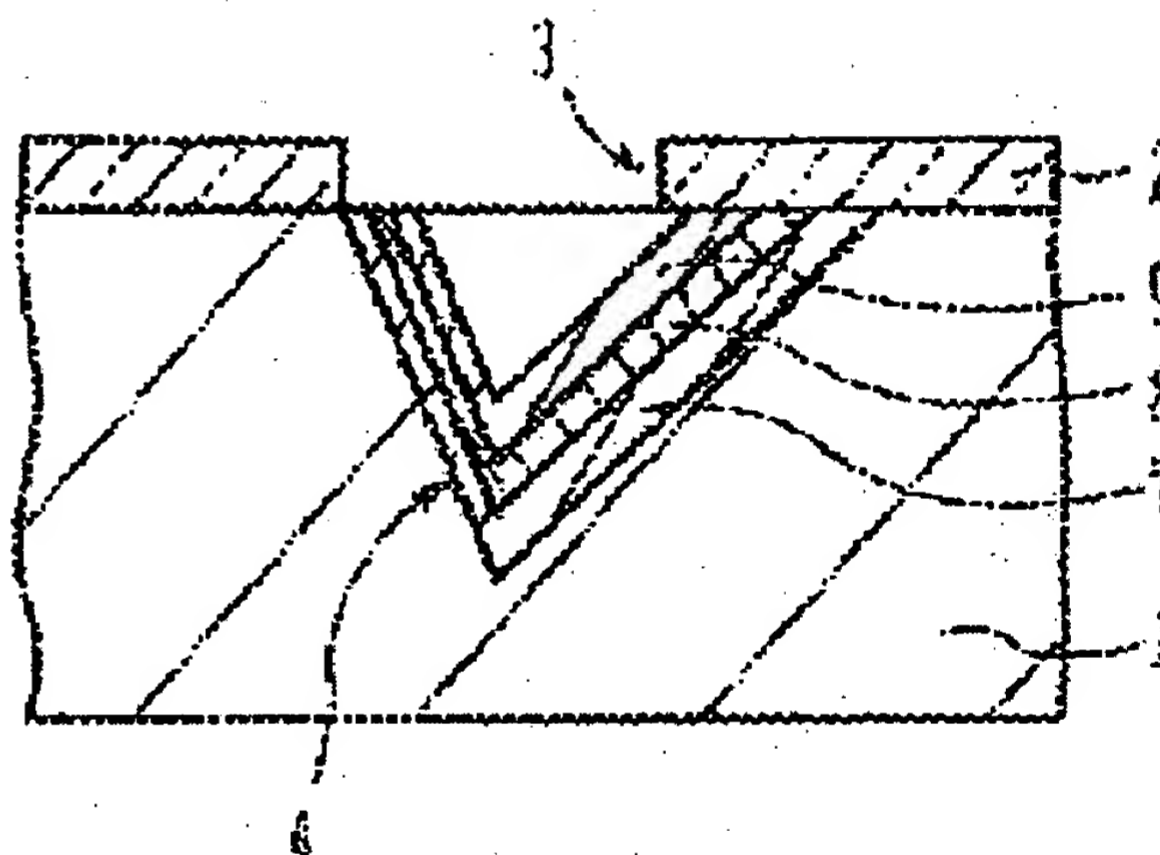
**QUANTUM EFFECT SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**

**Patent number:** JP9027612  
**Publication date:** 1997-01-28  
**Inventor:** SUGIYAMA YOSHIHIRO; SAKUMA YOSHIKI  
**Applicant:** FUJITSU LTD  
**Classification:**  
- **international:** H01L29/06; H01L21/306  
- **europaen:**  
**Application number:** JP19950173653 19950710  
**Priority number(s):**

**Abstract of JP9027612**

**PROBLEM TO BE SOLVED:** To form a less damaged dot in a specific position by a method wherein a dent having sides focussing both on the dale and hill is formed so as to grow continuous mixed-crystal semiconductor layer in different band structure of carrier on the crest or the side encircling the crest.

**SOLUTION:** When an SiO<sub>2</sub> film 2 is deposited on an N<+> type GaAs substrate 1 having (111) B surface to anisotropically etch away the substrate using this film 2 as a mask, the etching step is automatically stopped as soon as a triangular core circumscribing on an aperture part 3 of the mask 2 is formed. At this time, a cavity 4 of the triangular cone formed on (111) A surface is formed on the lower part of the aperture part 3. Next, after successively growing a GaAs buffer layer 7, an InGaAs well layer 8 and a GaAs cap layer 9 on the surface of the dent 4 of the substrate 1 covered with the mask 2, the mask 2 is removed. Through these procedures, an epitaxial layer grown on the wall surface of a regular tetrahedron can exhibit a band structure in different InGaAs layers on the crest and the side.



Data supplied from the esp@cenet database - Worldwide

D1

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-27612

(43) 公開日 平成9年(1997)1月28日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 29/06  
21/306

識別記号

庁内整理番号

F I

H 0 1 L 29/06  
21/306

技術表示箇所

Q

審査請求 未請求 請求項の数18 O L (全 14 頁)

(21) 出願番号 特願平7-173653

(22) 出願日 平成7年(1995)7月10日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 杉山 芳弘

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72) 発明者 佐久間 芳樹

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(74) 代理人 弁理士 高橋 敬四郎

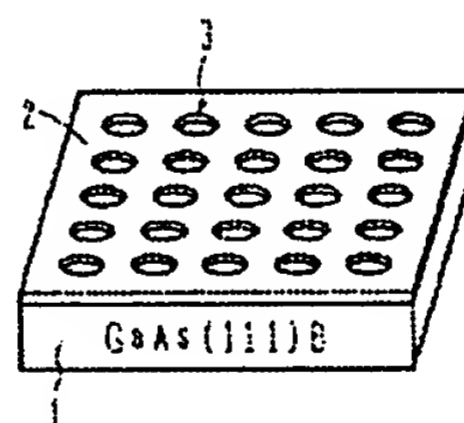
(54) 【発明の名称】 量子効果半導体装置とその製造方法

(57) 【要約】

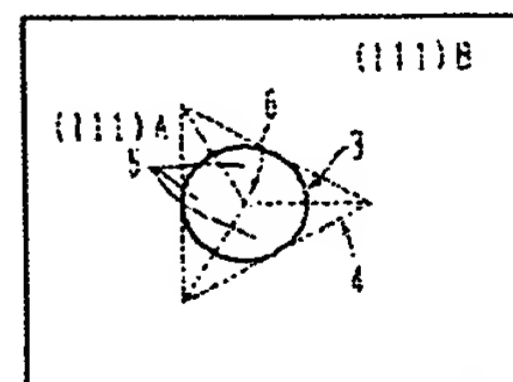
【目的】 1次元、2次元または3次元のキャリア閉じ込めを行う量子効果半導体装置とその製造方法に関し、所望の位置にダメージの少ない領域ドットを作成することのできる半導体装置の製造方法を提供することを目的とする。

【構成】 一定の面方位を有する基板表面上に開口を有するマスクを形成する工程と、前記マスクの開口を通して基板表面をエッチングし、深さと共に頂部に向かって収束する側面を有する凹みを形成するエッチング工程と、前記凹み内に混晶半導体の成長を行う工程であって、前記頂部上と頂部を囲む前記側面上とでキャリアのバンド構造が異なる連続した混晶半導体層の成長を行う量子効果層成長工程とを含む。

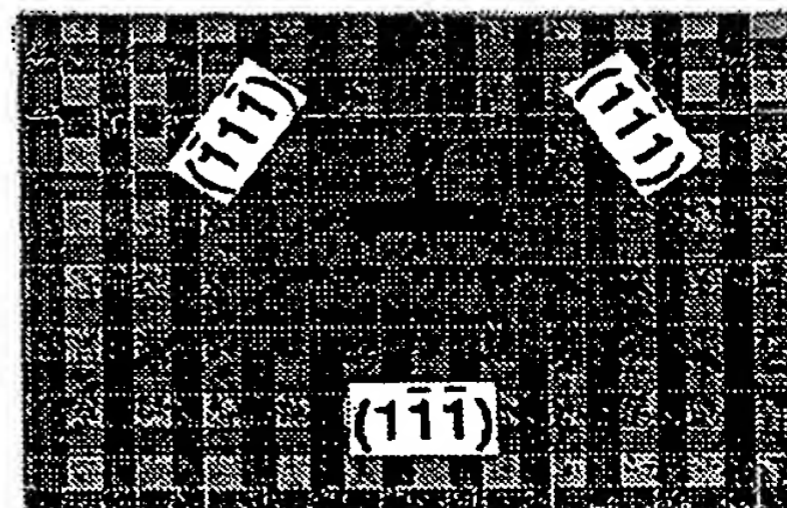
(A)



(B)



(C)



— 200 nm

## 【特許請求の範囲】

【請求項1】 一定の面方位を有する基板表面上に開口を有するマスクを形成する工程と、

前記マスクの開口を通して基板表面をエッチングし、深さと共に頂部に向かって収束する側面を有する凹みを形成するエッチング工程と、

前記凹み内に混晶半導体の成長を行う工程であって、前記頂部上と頂部を囲む前記側面上とでキャリアのバンド構造が異なる連続した混晶半導体層の成長を行う量子効果層成長工程とを含む量子効果半導体装置の製造方法。

【請求項2】 前記凹みが倒立した角錐形状を有する請求項1記載の量子効果半導体装置の製造方法。

【請求項3】 前記エッチング工程が、前記マスクの開口に外接する底面を有する角錐形状をエッチングする請求項2記載の量子効果半導体装置の製造方法。

【請求項4】 前記基板が(111)B表面を有する閃亜鉛型結晶構造を有する化合物半導体基板であり、前記凹みが3つの(111)A面を側面とする3回対称の三角錐側面である請求項3記載の量子効果半導体装置の製造方法。

【請求項5】 さらに、前記量子効果層成長工程前に、前記混晶半導体よりもバンドギャップの広い半導体層を凹み内に成長するバリア層成長工程を含み、前記混晶半導体層の頂部が量子箱ないし量子細線を形成する請求項1～4のいずれかに記載の量子効果半導体装置の製造方法。

【請求項6】 さらに、前記バリア層成長工程と前記量子効果層成長工程とを繰り返す繰り返し工程を含む請求項5記載の量子効果半導体装置の製造方法。

【請求項7】 一定の面方位の表面を有する基板と、前記基板の表面に形成され、深さと共に頂部に向かって収束する側面を有する凹みと、前記凹み内に形成され、前記頂部上と頂部を囲む前記側面上とでキャリアのバンド構造が異なる連続した第1の混晶半導体層とを有する量子効果半導体装置。

【請求項8】 さらに、前記混晶半導体層の下に形成され、混晶半導体層よりもバンドギャップの広い第1のバリア層を有する請求項7記載の量子効果半導体装置。

【請求項9】 さらに、前記混晶半導体層の上に形成された第2のバリア層と前記第2のバリア層の上に形成され、前記頂部上と頂部を囲む前記側面上とでキャリアのバンド構造が異なる連続した第2の混晶半導体層とを少なくとも1周期有する請求項8記載の量子効果半導体装置。

【請求項10】 前記第1または第2の混晶半導体層の上に、混晶半導体層よりもバンドギャップの広いキャップ層を有する請求項7～9のいずれかに記載の量子効果半導体装置。

【請求項11】 前記第1または第2の混晶半導体層の少なくとも1つの前記側面上の厚さがボーア半径の2倍

より小さい請求項9記載の量子効果半導体装置。

【請求項12】 前記第1または第2の混晶半導体層の少なくとも1つが不純物をドーピングされ、量子ドットまたは量子細線を構成する請求項9または11記載の量子効果半導体装置。

【請求項13】 前記基板が(111)B表面を有する閃亜鉛型結晶構造を有する化合物半導体基板であり、前記凹みが3つの(111)A面を側面とする3回対称の三角錐側面である請求項9、11、12のいずれかに記載の量子効果半導体装置。

【請求項14】 前記基板がGaAsで、前記混晶半導体層がInGaAs層である請求項13記載の量子効果半導体装置。

【請求項15】 前記バリア層がAlGaAsまたはInGaPである請求項14記載の量子効果半導体装置。

【請求項16】 前記基板がInPで、前記混晶半導体層がInGaAsP層である請求項13記載の量子効果半導体装置。

【請求項17】 前記バリア層がInPまたはInAlGaAsPである請求項16記載の量子効果半導体装置。

【請求項18】 さらに一対の電極を含み、前記量子ドットまたは量子細線が電極間に結合された請求項12～17のいずれかに記載の量子効果半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、特に1次元、2次元または3次元のキャリア閉じ込めを行う量子効果半導体装置とその製造方法に関する。

【0002】

【従来の技術】半導体デバイスに対して微細化や新機能の要求が強い。半導体デバイスの微細化を進めていくと、キャリアの存在し得る領域が制限されることによって量子効果が生じる構造に行き着く。

【0003】キャリアの自由度を1次元で閉じ込めると、キャリアは2次元空間(面)内で運動することになる。このような構造は、量子井戸や超格子と呼ばれ、レーザや高電子移動度トランジスタ(HEMT)に利用されている。

【0004】キャリアの自由度を2次元で閉じ込めると、キャリアは1次元空間(線)内で運動することになる。このような構造は量子細線と呼ばれる。キャリアの自由度を3次元で閉じ込めると、キャリアは0次元空間(点)での自由度しか有さなくなる。このような構造は量子箱(量子ドット)と呼ばれる。量子箱や量子細線においては、状態密度が離散化し、さらにデルタ関数化し、3次元自由度を有するキャリアとは大きく異なる振る舞いが期待できる。

【0005】図11は、従来技術による3つの量子箱作

10

20

30

40

50

3

成技術を示す。図11(A)、(C)、(E)は3つの方法を説明するための断面図であり、図11(B)、(D)(F)はそれぞれ対応する平面図である。

【0006】図11(A)、(B)は、ドライエッチングによる量子ドットの作成技術を示す。基板101上に広いバンドギャップの第1のバリア層102、狭いバンドギャップの井戸層103、広いバンドギャップの第2のバリア層104を積層し、その上にマスク105を形成する。マスク105の平面形状は、図11(B)に示すように、たとえば円形である。

【0007】このマスク105をエッチングマスクとして用い、下のバリア層102、104および井戸層103をドライエッチングする。ドライエッチングされた井戸層103は、上下をバリア層102、104によって画定され、その周囲をマスク105に従ってエッチングした空間によって画定されている。

【0008】井戸層103の厚さおよびマスク105の寸法を制御することにより、井戸層103で形成された量子箱が提供される。しかしながら、ドライエッチングによって量子箱を作成すると、ドライエッチングにより、井戸層103がダメージを受け、良好な結晶状態、電子状態を得ることが困難となる。

【0009】図11(C)、(D)は、選択成長による量子箱の作成技術を示す。基板101の表面上に開口を有するSiO<sub>2</sub>マスク106が形成されている。このSiO<sub>2</sub>マスク106は、図11(D)に示すように、たとえば正方形の開口107を有する。開口107の各辺は、下地基板101の結晶面方位に合わせて方向付けられている。

【0010】SiO<sub>2</sub>マスク106の開口107内に露出された基板101表面上にエピタキシャル成長を行う。面方位を選択することにより、エピタキシャル成長は開口107内で上方に向かうに従って、断面積が小さくなるピラミッド状に成長する。

【0011】エピタキシャル成長によってバリア層102、井戸層103を成長すると、小さな領域の井戸層103が得られる。開口107の形状およびバリア層102、井戸層103の層厚を選択することにより、井戸層103によって量子箱が形成される。しかしながら、この方法によって得られる量子箱103は、ピラミッドの頂上部分に形成され、外部の配線を接続することが容易ではない。

【0012】このように、ドライエッチングや選択成長によって量子ドットを形成する技術は、所望の位置に微細構造を形成することはできるが、量子ドットの形成自体が難しく、満足する結果が得られていない。

【0013】図11(E)、(F)は、量子ドットの自然形成技術を示す。(001)表面を有するGaAs基板111上に、AlGaAsバッファ層112をエピタキシャル成長し、その上にGaAs層113をエピタキ

4

シャル成長する。GaAs層113の上に、In組成が約0.5程度に設定された格子不整合が大きいInGaAs層114を成長し、さらにその上にGaAs層115を成長する。成長温度を選択するか、成長後にアニールを行うことにより、InGaAs層114内にIn組成が大きい球状領域116が発生する。この球状領域116は自然に発生するものであり、かつその大きさは量子ドットを実現する大きさである。

【0014】レオナルド等は、分子線エピタキシ(MBE)によってこのような球状領域を形成できることを報告している(D. Leonard et al, Appl. Phys. Lett. 63 (1993) pp. 3203 - 3205)。

【0015】また、向井等は、減圧有機金属気相成長法(LP-MOVPE)を用いた原子層成長(ALE)を用い、InAs/GaAs積層からこのようなIn<sub>0.5</sub>Ga<sub>0.5</sub>As量子ドットを作成できることを報告している(K. Mukai et al, Jpn. J. Appl. Phys. 33 (1994) pp. L1710 - L1712)。

【0016】また、オシノオ等は有機金属化学気相成長(MOCVD)を用い、GaAs基板上にInGaAs層を成長し、同様の量子ドットを得られることを報告している(J. Oshinowo et al, Appl. Phys. Lett. 65 (1994) pp. 1421 - 1423)。

【0017】同様に、マルザン等は、(100)GaAs基板上にMBEを用いてInAs層とGaAs層を成長し、量子ドットが得られることを報告している(J. Y. Marzin et al, Phys. Rev. Lett. 73 (1994) pp. 716 - 719)。

【0018】このような、量子ドットの自然形成技術は、ドライエッチングプロセスを用いないため、量子ドットにダメージが入りにくく、かつ量子ドットを作成した後の基板表面を平坦に保てる利点を有する。

【0019】しかしながら、量子ドットが作成される平面内位置は制御することができず、量子ドットが基板平面内にランダムに分布する。電子デバイスを作成しようとする場合、量子ドットにキャリアを注入したり、量子ドットからキャリアを引き出すことが望まれる。量子ドットの位置が制御できなければ、このような電子デバイス動作を実現することが困難となる。

【0020】

【発明が解決しようとする課題】このように、量子ドットを作成する技術はいくつか提案されているが、ダメージの少ない量子ドットを所望の位置に得ることは困難であった。

【0021】本発明の目的は、所望の位置にダメージの少ない領域ドットを作成することのできる半導体装置の製造方法を提供することである。本発明の他の目的は、作成の容易な量子ドットを利用した半導体装置を提供することである。

【0022】

【課題を解決するための手段】本発明の一観点によれば、一定の面方位を有する基板表面上に開口を有するマスクを形成する工程と、前記マスクの開口を通して基板表面をエッチングし、深さと共に頂部に向かって収束する側面を有する凹みを形成するエッチング工程と、前記凹み内に混晶半導体の成長を行う工程であって、前記頂部上と頂部を囲む前記側面上とでキャリアのバンド構造が異なる連続した混晶半導体層の成長を行う量子効果層成長工程とを含む量子効果半導体装置の製造方法が提供される。

【0023】本発明の他の観点によれば、一定の面方位の表面を有する基板と、前記基板の表面に形成され、深さと共に頂部に向かって収束する側面を有する凹みと、前記凹み内に形成され、前記頂部上と頂部を囲む前記側面上とでキャリアのバンド構造が異なる連続した第1の混晶半導体層とを有する量子効果半導体装置が提供される。

【0024】半導体基板表面に形成した凹み内に量子ドットを作成できるため、量子ドットの位置が正確に定まる。また、量子ドットを結晶成長技術により自動的に作成するため、量子ドットにダメージを与えることが少ない。

【0025】成長層の数および厚さを制御することにより、種々の量子ドットを用いた半導体装置を作成することができる。

【0026】

【発明の実施の形態】本発明の実施例の説明に先立ち、まず基礎となった実験から説明する。図1は、半導体基板表面に正四面体（テトラヘドラル）形状のリセス（TSR）を作成するエッチング工程を示す。

【0027】図1（A）に示すように、（111）B面を有する $n^+$ 型GaAs基板1の表面上に、 $SiO_2$ 膜2を化学気相成長（CVD）により厚さ約100nm堆積する。ホトレジストを用い、 $SiO_2$ 膜2中に直径約2 $\mu m$ の開口部3を形成する。

【0028】図1（B）に示すように、1体積（V）%の臭素を含むエタノール溶液で $SiO_2$ マスク2を通してGaAs基板1を異方性エッチングする。1V%Br<sub>2</sub>-エタノール溶液は、GaAsの（111）A面はほとんどエッチングしない。このため、マスク2の開口3に露出されたGaAs面は次第にエッチングされるが、（111）A面が露出するとエッチングはそれ以上進行しなくなる。エッチングを継続していくと、図1（B）に示すように、開口3に外接する三角錐が形成された時点でエッチングは自動停止する。この状態において、開口3下部には、（111）A面で形成された3回対称の側面を有する三角錐形状の空洞4が形成される。なお、三角錐の頂点6においては、3本の稜が会合し、その部分での面方位は正確には定まらず、緩やかに変化する。

【0029】図1（C）は、三角錐の頂部付近の拡大写

真を示す。面方位が徐々に変化する三角錐の頂部は、ほぼ20nm以下の寸法となる。この部分においては、面方位は（111）A面ではなく、基板表面と同様の（111）B面が支配的となる。なお、稜線は、2つの（111）A面の中間にあり、（001）面と見なすこともできよう。

【0030】図2は、このように作成した正四面体型凹み（TSR）の中に、エピタキシャル成長を行う工程を示す。GaAs原料としてトリメチルガリウム（TMGa）、In原料としてトリメチルインジウム（TMI）  
n）、およびAs原料としてアルシン（AsH<sub>3</sub>）を用い、圧力50torrの減圧有機金属気相成長法（LP-MOVPE）により、成長温度600℃、700℃、V/III比をGaAs層に対して191、19、InGaAs層に対して170、17でエピタキシャル成長を行った。なお、V/III比はAsH<sub>3</sub>の流量を変えて調整した。初期の正四面体型形状を維持できる成長条件は、この4通りの条件のうち、成長温度600℃、V/III比19（17）の時であった。以下、この条件の時のエピタキシャル成長の結果について説明する。

【0031】図2（A）に示すように、 $SiO_2$ マスク2で覆われたGaAs基板1の凹み4の表面上に、GaAsバッファ層7を厚さ約30nm、その上にInGaAs井戸層8、さらにその上にGaAsキャップ層9を厚さ約20nm成長した。InGaAs井戸層8の厚さは2.5～50nmの間で変化させた。正四面体型凹み（TSR）の密度は、 $10^6\text{ cm}^{-2}$ 程度であった。

【0032】図2（B）に示すように、 $SiO_2$ マスク2を残したまま、成長を行うと、マスク2下の凹み4内にエピタキシャル層が成長し、 $SiO_2$ マスク2の下部にも均一な厚さの層が成長した。

【0033】エピタキシャル層を成長した後、 $SiO_2$ マスク2を除去し、ホトルミネッセンス（PL）を温度5K、励起光エネルギー25W/cm<sup>2</sup>で測定した。図3（A）は、PL測定の結果を示す。横軸は発光の光子エネルギーをeV単位で示し、縦軸はPL光の強度を任意単位で示す。InGaAs層8の（111）A面上の厚さが50nmの場合のPL強度を、図3（A）の曲線p11に示す。図中、1.4eVおよび1.46eVの位置に2つのピークが観測される。2つのピークのエネルギー差60meVは、量子サイズ効果では説明できない。量子サイズ効果は、2.2meV程度である。1.40eVのピークは、TSR密度に依存して変化した。

【0034】図3（A）の試料と同様の構造でInGaAs井戸層8の層厚が薄いサンプルも作成し、同様にPL測定を行った。図3（B）は、InGaAs/GaAsダブルヘテロ接合のPL測定の結果を示す。InGaAs層の厚さは、（111）A面上で約2.5nmである。図3（A）同様、横軸は発光のエネルギーをeV単位で示し、縦軸はPL発光強度を任意単位で示す。

7

【0035】図3(A)のダブルヘテロ構造の場合と同様、PL強度を示す曲線p12には2つの発光ピークが認められた。ただし、これら2つのピークのエネルギー位置は1.45 eVと1.48 eVであった。1.45 eVのピークは、InGaAs層の層厚が薄くなると増大する傾向が認められた。

【0036】図3(A)、(B)に示す2つのPLピークは、成長したInGaAs層が2種類の性質を有することを示唆している。図4は、InGaAs/GaAsダブルヘテロ接合のサンプルのカソードルミネッセンス(CL)測定の結果を示す。CL測定は温度50 Kで行った。図4(A)は、1.45 eVの発光を行っている結晶の写真であり、図4(B)は、1.48 eVの発光を行っている結晶の写真である。

【0037】図4(A)の発光個所と、図4(B)の発光個所が相補的な関係にあることが判る。図4(A)の1.45 eVの発光は、TSRの頂部で生じている。さらに、この発光個所の周囲に、対称的な3方向に細い発光が認められる。この発光個所は、TSRの(111)A面が合する稜の位置に対応している。

【0038】図4(B)に示す1.48 eVの発光は、TSRの(111)A面に相当している。このように、CL測定の結果から、TSRの壁面に成長したエピタキシャル層は、少なくとも頂部と(111)A側面において異なる発光機構を有することが判る。

【0039】この異なる波長の発光は、頂部と側面において、InGaAs層が異なるバンド構造を有すると考えることによって説明できる。たとえば、側面ではIn<sub>0.1</sub>Ga<sub>0.9</sub>Asが成長しているが、頂部においてはIn組成のより高い(バンドギャップのより狭い)InGaAsが成長していると考えることができる。

【0040】また、InGaAs層が正四面体形状を有するため、結晶内のポテンシャル分布はピラミッド型の境界条件を有する。このような場合、臨界厚 $r_c = a_B \cdot (1 + \cot^2 \alpha)$ 以下の層厚において、ピラミッドの頂部にポテンシャルの安定点が生じることが知られている。なお、 $a_B$ はボーア半径を示し、 $\alpha$ は半頂角を示す。臨界厚は少なくとも $3 \cdot a_B$ あると推測される。量子効果を十分発揮させるためには、InGaAs層は $2a_B$ 以下の厚さに成長することが好ましい。

【0041】以上説明したいずれの理由によっても、2つの発光ピークが発生することを説明できる。TSR頂部から低いエネルギーの発光が生じることが、TSR頂部にバンドギャップの狭い状態が生じていることを示している。このバンドギャップの狭い状態が十分小さな寸法を有するため、この頂部でのキャリアは量子ドットの状態を実現していると考えられる。

【0042】このように、三角錐形状の凹みの壁面に、混晶半導体のエピタキシャル層を成長すると、凹み頂部において量子ドットを形成できることが判る。凹みの形

8

状は、正四面体形状で実験的に検証されたが、他の形状であっても先端が十分に狭い形状であれば同様の効果が発生するものと考えられる。

【0043】バンドギャップの狭い半導体装置と、バンドギャップの広い半導体層を交互にエピタキシャル成長すれば、バンドギャップの狭い半導体装置の頂部に量子ドットを形成できるであろう。バンドギャップの狭い半導体層の厚さを厚くすれば、厚さ方向に長い量子状態が実現でき、量子細線を作成することもできるであろう。

【0044】基板上的の凹みの位置は、マスクの開口位置によって画定できるため、所望の位置に量子ドットを作成することができる。また、このような量子ドットの作成はドライエッチングを用いずに形成でき、良好な結晶性を実現できる。

【0045】図5、図6は、本発明の実施例による量子効果半導体装置の製造方法を説明するための断面図である。図5(A)に示すように、(111)B面を有するn<sup>+</sup>型GaAs基板11の表面上に、CVDにより厚さ100 nmのSiO<sub>2</sub>膜12を堆積する。なお、SiO<sub>2</sub>膜12は、成長マスクとして機能する膜であり、他の絶縁物で形成することも可能である。

【0046】図5(B)に示すように、SiO<sub>2</sub>膜12の上にホトレジスト層52を塗布し、ホトリソグラフィにより直径2 μmの開口部53を形成する。このレジストマスク52をエッチングマスクとし、その下のSiO<sub>2</sub>膜12を開口53に従ってパターニングする。このパターニングは、ウェットエッチングで行ってもドライエッチングで行ってもよい。その後、レジストパターン52は除去する。

【0047】図5(C)は、レジストパターンを転写したSiO<sub>2</sub>マスクの形状を示す。SiO<sub>2</sub>マスク12は、直径2 μmの開口13を備える。開口13内には、基板11の(111)B面が露出する。

【0048】図5(D)に示すように、SiO<sub>2</sub>膜12をエッチングマスクとし、基板11の露出した表面を1 V%Br<sub>2</sub>エタノール溶液で異方性エッチングする。この異方性エッチングは、(111)A面でエッチング速度は極めて低くなる。したがって、露出面が(111)A面になった時、エッチングは自動停止する。

【0049】開口13を、(111)A面が表面の(111)B面と交差する辺の形状とすれば、図に示すように開口13の縁を通る(111)A面15が形成された時、エッチングは自動停止する。

【0050】この時、基板11表面には正四面体型の凹み14が形成される。ただし、凹み14の頂部16は、厳密に(111)A面のみで形成されるわけではなく、面方位が徐々に変化したなだらかな曲線となる。頂部16においては、基板面方位である(111)B面が支配的な面となる。

【0051】なお、マスク12の開口は、円形、三角

形、多角形等どのような形状でもよい。開口に外接する形状に(111)A面の三角錐形状の凹みがエッチングされる。

【0052】次に、凹み14内にエピタキシャル成長を行う。図1、図2を参照して説明したように、マスクが底状に残った状態においても、マスク下部の凹み側面に良好なエピタキシャル成長を行うことができる。

【0053】エピタキシャル成長は、たとえば成長温度600℃で、原料ガスとしてトリメチルガリウム(TM Ga)、トリメチルインジウム(TM In)、アルシン(AsH<sub>3</sub>)を用い、n型不純物源としてシラン(SiH<sub>4</sub>)を用いて減圧MOCVDで行う。

【0054】図5(E)に示すように、まず凹み表面上にn型GaAsバッファ層17を厚さ約30nm成長する。n型不純物濃度はたとえば $1 \times 10^{18} \text{ cm}^{-3}$ とする。図6(F)に示すように、GaAsバッファ層17の表面上に、(111)A面上での組成がAl<sub>0.2</sub>Ga<sub>0.8</sub>AsのAlGaAsバリア層18を厚さ約5nm成長する。

【0055】次に、図6(G)に示すように、バリア層18の表面上に、(111)A面上での組成がIn<sub>0.1</sub>Ga<sub>0.9</sub>AsのInGaAs井戸層19を厚さ約5nm成長する。以下、組成は(111)A面上での組成を指すものとする。

【0056】次に、図6(H)に示すように、井戸層19の表面上にAl<sub>0.2</sub>Ga<sub>0.8</sub>Asバリア層20を厚さ約5nm成長する。図6(I)に示すように、n型GaAs電極取出層51を基板表面の凹みがなくなるまで成長する。n型不純物密度は、たとえば、 $2 \times 10^{18} \text{ cm}^{-3}$ とする。このようにして、井戸層19を一对のバリア層18、20で挟んだ積層構造が形成される。なお、図中左下方に結晶方位を合わせて示す。凹みの頂部16においては、支配的な面方位は(111)B面であり、その他の側面では(111)A面が露出する。

【0057】井戸層19においては、前述のように頂部に量子ドットQDが形成される。この量子ドットQDは、電極取出し領域51とバリア層20を挟んで結合している。基板11と電極取出領域51との間のバイアス電圧を調整することにより、量子ドットQDに電子を出入れすることができる。

【0058】たとえば、ジャーナルオブクリスタルグロース(J. Crystal. Growth 107 (1991) pp. 989 - 998)のケイサー(Kayser)の論文中、第995頁に示されているように、InGaAsを(111)A面と(111)B面で同時に成長すると、(111)A面においては、(111)B面よりGaAs組成が高くなる。

【0059】すなわち、(111)B面においては、(111)A面よりもIn組成の高いInGaAs混晶が成長する。したがって、量子ドットQDは、(11

1) A面上のInGaAs混晶よりも高いIn組成を有するInGaAsで形成されていると考えられる。

【0060】また、前述のように、このようなピラミッド型領域においては、その頂上部分にキャリアの安定状態が実現されるため、たとえ組成が等しくても凹み頂部において安定なエネルギー状態が実現されることが考えられる。いずれの理由によっても頂部に量子ドットQDが形成される。

【0061】なお、凹み内にバッファ層、バリア層、井戸層を成長する場合、不純物をドーピングした層とバリア層との間に他の層を介在させることもできる。また、電気的コンタクトを容易に形成するために、他の層を介在させることもできる。その他、上述以外の種々の層を混在させてエピタキシャル成長を行うことができる。

【0062】図7は、上述の成長方法の変形例、修正例を示す。図7(A)は、底状に張り出したマスク層を用いる場合を示す。SiO<sub>2</sub>マスク層12は、たとえば図1(A)で示したような円形状の開口13を有し、その下に円形開口13に外接するような三角錐型凹み14が形成される。

【0063】開口13は、三角形、四角形、円形等種々の形状で実現できる。また、規則的な形状以外の不規則な形状としてもよい。図7(B)、(C)は、表面上の電極形成工程を示す。図6(I)に示した構造の上に、上部電極層25を蒸着等によって作成する。電極層25は、たとえばTi下層とAu上層の積層によって形成することができる。たとえば、厚さ約10nmのTi層と厚さ約200nmのAu層を積層する。

【0064】その後、電極層55上にレジストマスクを形成し、エッチングによって電極層55をパターンニングする。図7(C)は、パターンニング後、レジストマスクを除去した電極の形状を示す。電極55aは、電極取出領域51にオーミック接触し、SiO<sub>2</sub>マスク12上に延在している。

【0065】図7(D)は、量子ドットQDに結合する下部電極構造の形成例を示す。n(p)型基板11上にp(n)型層57をエピタキシャル成長し、さらにn(p)型層11aをエピタキシャル成長する。このようにして形成して基板表面上にSiO<sub>2</sub>マスク12を形成し、上述の実施例同様にエッチング、エピタキシャル成長を行う。

【0066】ここで、井戸層19の頂部に形成される量子ドットQDの深さがp(n)型層57の深さとはほぼ一致するようにする。量子ドットQDはバリア層18、バッファ層17を介してp(n)型層57と結合する。基板11がGaAsの場合、p(n)型層57はGaAsでもAlGaAsでも他の材料でもよい。

【0067】図8は、2つの量子ドットが結合された結合量子ドット半導体装置の構成を示す。n<sup>+</sup>型GaAs基板11の表面上にSiO<sub>2</sub>マスク12が形成され、S

11

$\text{SiO}_2$  マスク12内に開口13が形成されている。

【0068】開口13下部に前述の実施例同様三角錐型の凹み14が形成され、凹み14内に積層構造がエピタキシャル成長されている。エピタキシャル積層は、厚さ約30nmのn型GaAsバッファ層21、厚さ5nmのGaAs層22、厚さ5nmの $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ バリア層23、厚さ5nmの $\text{In}_{0.1}\text{Ga}_{0.9}\text{As}$ 井戸層24、厚さ5nmの $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ バリア層25、厚さ5nmの $\text{In}_{0.1}\text{Ga}_{0.9}\text{As}$ 井戸層26、厚さ5nmの $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ バリア層27、厚さ5nmのGaAs層28および残りの領域を埋め込むn型GaAs電極取出領域29を含む。

【0069】さらに、表面上には、厚さ10nmのTi層と厚さ200nmのAu層を積層した電極30が形成されている。井戸層24と26の頂部には、量子ドットQD1、QD2が形成される。これらの量子ドットは互いに結合し、上部の量子ドットQD2はさらに電極取出領域29に結合している。

【0070】2つの量子ドットが直列に結合する構造を示したが、井戸層とバリア層の繰り返し回数を増加して3つ以上の量子ドットを直列に接続する構造を作成することもできる。

【0071】図9は、単一の量子ドットを含む構造を示す。図8に示す構造のうち上側の量子ドットを作成するための井戸層26およびその下のバリア層25が省略された構造となっている。その他の点は、図8の構造と同様である。

【0072】図9(B)は、量子ドットに基板内でバイアスを印加する電極層を設けた構成を示す。n型GaAs11の表面上に、高抵抗層31、p型層32、高抵抗層33がエピタキシャルに積層されている。高抵抗GaAs33表面上に $\text{SiO}_2$  マスク12が形成され、図9(A)と同様の構成が作成されている。

【0073】ここで、井戸層24頂部に形成される量子ドットQBの深さと、p型GaAs層32の深さが同一レベルになるように調整されている。基板表面の凹み内を埋め込むエピタキシャル成長の後、 $\text{SiO}_2$  層12および下部の高抵抗GaAs層33、n型GaAs層32および高抵抗層31の一部をエッチングしてメサ構造を作る。メサの側面にはp型GaAs層32が露出する。

【0074】このメサ型構造の側面に、電極35が蒸着等によって形成され、p型GaAs層32とオーミックに接続する。n型GaAs埋込領域29と、n型GaAs基板11とはソース・ドレイン構造を形成する。このソース・ドレイン間に含まれる量子ドットQDにバイアス印加可能なゲート電極が電極35、p型層32によって付加されている。

【0075】たとえば、負荷抵抗Rが電極30に接続され、抵抗Rとソース・ドレイン構造の直列接続が電源電

12

圧間に接続される。入力信号 $V_g$ は、ゲート電極に印加される。なお、ゲート電極領域としてn型領域を埋め込むこともできる。

【0076】図10(A)、(B)は、量子ドットと量子細線を組み合わせた量子効果半導体装置の構成を示す。図10(A)において、n型InP基板11の表面上に $\text{SiO}_2$  マスク12が形成され、前述の実施例同様、正四面体形状の凹み14がエッチングによって作成される。この凹み14内に、以下の各層がエピタキシャルに成長される。

【0077】まず、厚さ約200nmのn型InGaAs層41が成長される。InP下地結晶上においても、InGaAsを(111)A面と(111)B面に同時に形成すると、(111)A面に比べ、(111)B面においてはIn組成の高い混晶組成が成長する。したがって、InGaAs層41の頂部にはIn組成の高い細線領域が成長する。よって、頂部に量子細線QW2が形成される。

【0078】InGaAs層41の上に、厚さ7nmのInPバリア層43、厚さ5nmの $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 井戸層44、厚さ7nmのInPバリア層45が積層される。井戸層44の頂部には量子ドットQDが形成される。

【0079】さらにこの上に、厚さ200nmの $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層42が成長される。このInGaAs層42には、InGaAs層41と同様に量子細線QW1が形成される。残りの凹み部分にはn型 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 電極取出領域49が成長される。

【0080】n型量子細線QW2はn型基板11に電気的に接続され、n型量子細線QW1はn型電極取出領域49と接続される。n型量子細線QW1とQW2との間に量子ドットQDが直列に接続された量子効果半導体装置が形成される。量子ドットの数はい任意に増加することができる。量子ドットの側方に図9(B)に示すp型層32のような導電層を形成し、量子ドットにキャパシティブにバイアス電圧を印加することもできる。

【0081】図10(A)の構造は、n型領域間に量子ドットと量子細線が接続された構造であった。量子細線、量子ドットにpn接合を組み合わせることもできる。図10(B)は、図10(A)の構造にpn接合を組み合わせた構成を示す。n型(またはp型)InP基板11の表面上に、 $\text{SiO}_2$  マスク12が形成され、 $\text{SiO}_2$  マスクの開口部から正四面体形状の凹み14が形成されるまでは図10(A)の構成と同様である。

【0082】凹み14内に厚さ200nmのn型InGaAs層41、厚さ7nmのInP層43、厚さ5nmの $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層44、厚さ7nmのInP層45、厚さ200nmの $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層42が連続的に成長され、残りの凹み部分をp型 $\text{In}_{0.53}\text{Ga}$

10

20

30

40

50

0.47As電極取出領域49が埋め込む。

【0083】p型埋込領域49とn型量子細線QW2（およびn型基板11）は、pnダイオード構造を構成している。このpnダイオード構造の接合部分に、量子細線QW1と量子ドットQDが直列に結合されている。たとえば、電極30は抵抗Rを介して入力端子に接続され、基板11は接地される。

【0084】pn接合構造と量子ドット、量子細線とを組み合わせた構造においては、量子細線、量子ドットにp型領域、n型領域から両極性のキャリアを注入し、発光性再結合を生じさせることもできる。したがって、これらの構造は、レーザ等の発光半導体装置を構成することもできる。

【0085】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。たとえば、量子ドット、量子細線の組み合わせ方は自由である。基板表面上に形成する凹みは正四面体形状に限定されない。側面の性質と頂部の性質が大きく異なる結晶面を用いるものであれば、種々の凹み形状を利用することができる。結晶成長方法は、MOVPEに限らず、分子線成長(MBE)やガスソースMBE等を用いてもよい。用いる半導体材料も上述のものに限定されない。

【0086】たとえば、GaAs基板上で井戸層をInGaAsとする時、バリア層としてAlGaAs同様、InGaPを用いることもできる。また、InP基板上で井戸層をInGaAsP、バリア層をInAlGaAsPとしてもよい。

【0087】その他、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。このように、マスクの開口部分にエッチングによって所定形状の凹みを形成し、この凹み内にエピタキシャル成長を行うことにより、所望の位置に量子ドット、量子細線等の量子構造を作成することができる。このようにして作成する量子構造は、エッチング等によるダメージを受けず、良好な結晶状態、電子状態を実現することができる。これらの量子構造を用い、種々の半導体装置を作成することができる。

#### 【図面の簡単な説明】

【図1】本発明の基礎となる実験を説明するための斜視図、上面図、および薄膜の結晶構造を示す写真である。

【図2】図1に示す工程に続くエピタキシャル成長を説明するための断面図、および成長した薄膜の結晶構造を示す写真である。

【図3】実験結果を示すグラフである。

【図4】実験結果による基板上に形成された薄膜の結晶構造を示すCL写真である。

【図5】実施例による半導体装置の製造工程を示す断面図である。

【図6】実施例による半導体装置の製造工程を示す断面

図である。

【図7】実施例による半導体装置の製造工程を示す断面図である。

【図8】実施例による半導体装置の断面図である。

【図9】実施例による半導体装置の断面図である。

【図10】実施例による半導体装置の断面図である。

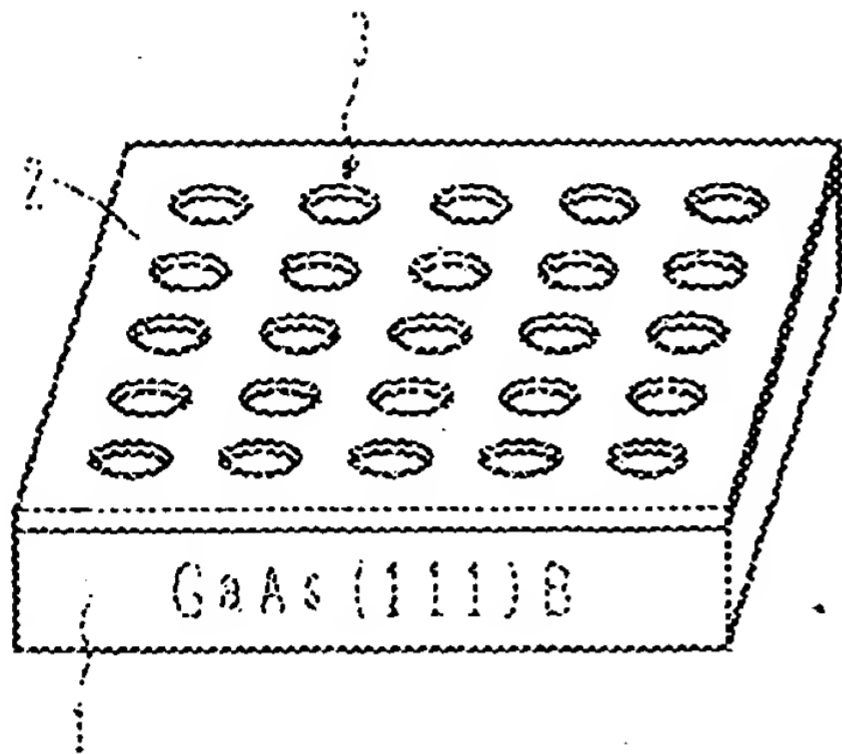
【図11】従来技術を説明するための断面図および上面図である。

#### 【符号の説明】

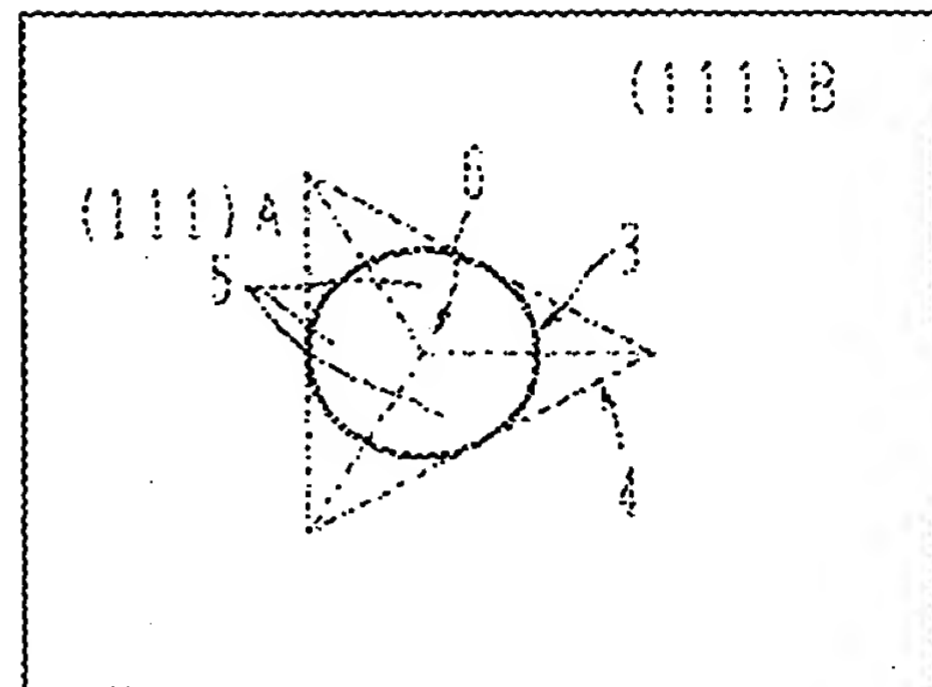
- |    |                |
|----|----------------|
| 10 | 1 基板           |
|    | 2 マスク          |
|    | 3 開口           |
|    | 4 凹み           |
|    | 5 (111)A側面     |
|    | 6 頂部           |
|    | 7 バリア層         |
|    | 8 井戸層          |
|    | 9 バリア層         |
|    | 11 基板          |
| 20 | 12 マスク         |
|    | 13 開口          |
|    | 14 凹み          |
|    | 15 (111)A側面    |
|    | 16 頂部          |
|    | 17 バッファ層       |
|    | 18 バリア層        |
|    | 19 井戸層         |
|    | 20 バリア層        |
|    | 21 n型GaAs層     |
| 30 | 22 GaAs層       |
|    | 23 AlGaAs層     |
|    | 24 InGaAs層     |
|    | 25 AlGaAs層     |
|    | 26 InGaAs層     |
|    | 27 AlGaAs層     |
|    | 28 GaAs層       |
|    | 29 n型GaAs領域    |
|    | 30 電極          |
|    | 41 n型InGaAs層   |
| 40 | 42 n型InGaAs領域  |
|    | 43 InP層        |
|    | 44 InGaAs層     |
|    | 45 InP層        |
|    | 49a n型InGaAs領域 |
|    | 49b p型InGaAs領域 |
|    | 50 レジスト膜       |
|    | 53 レジスト膜の開口    |
|    | 51 電極取出領域      |
|    | 55 電極層         |

【図1】

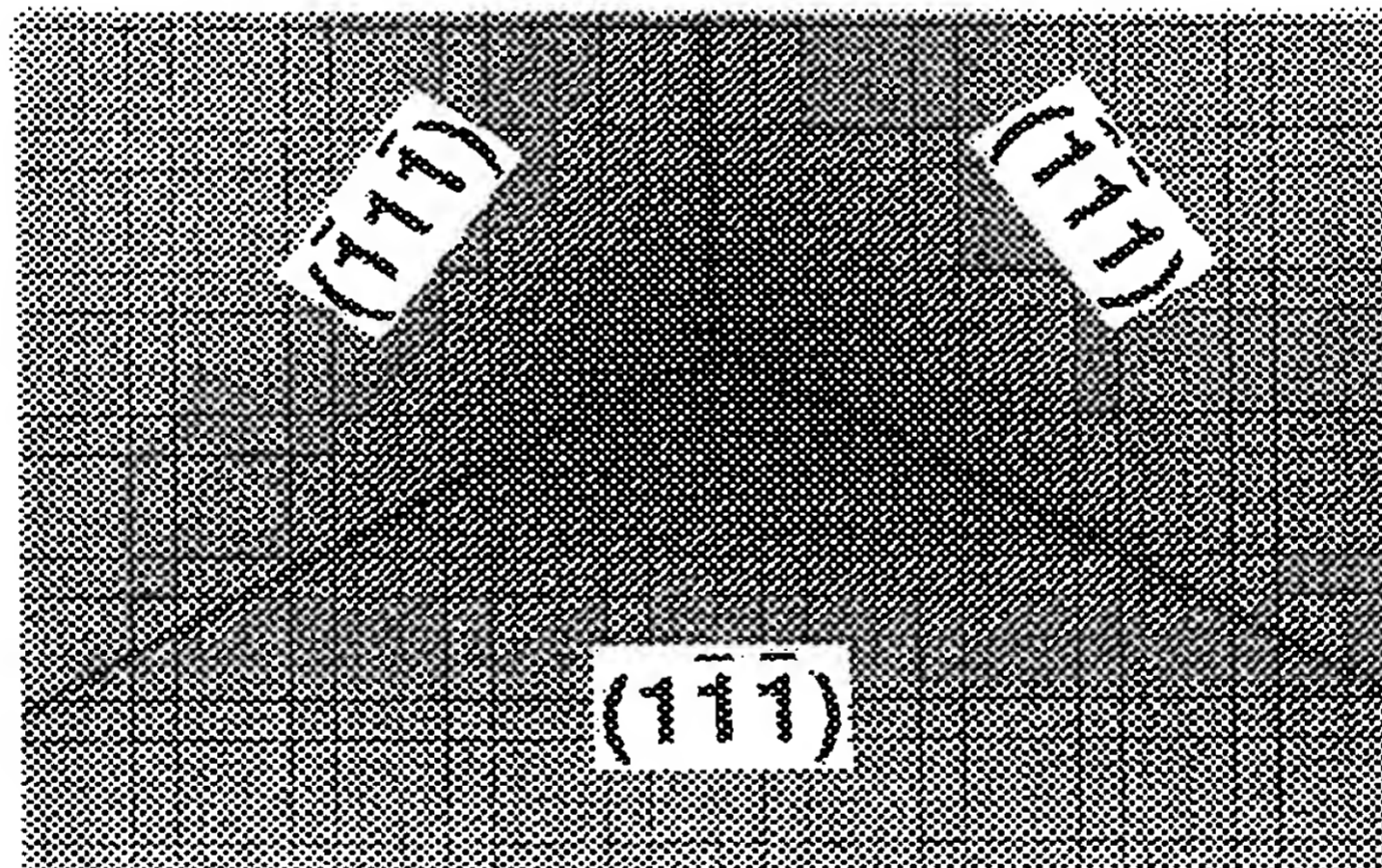
(A)



(B)



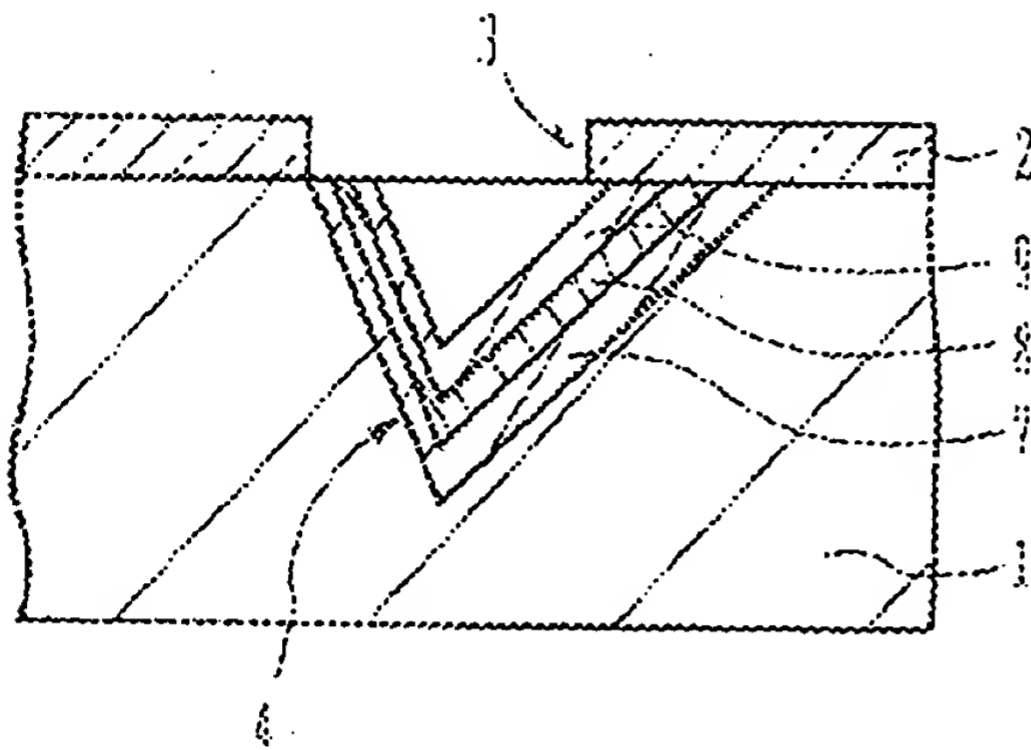
(C)



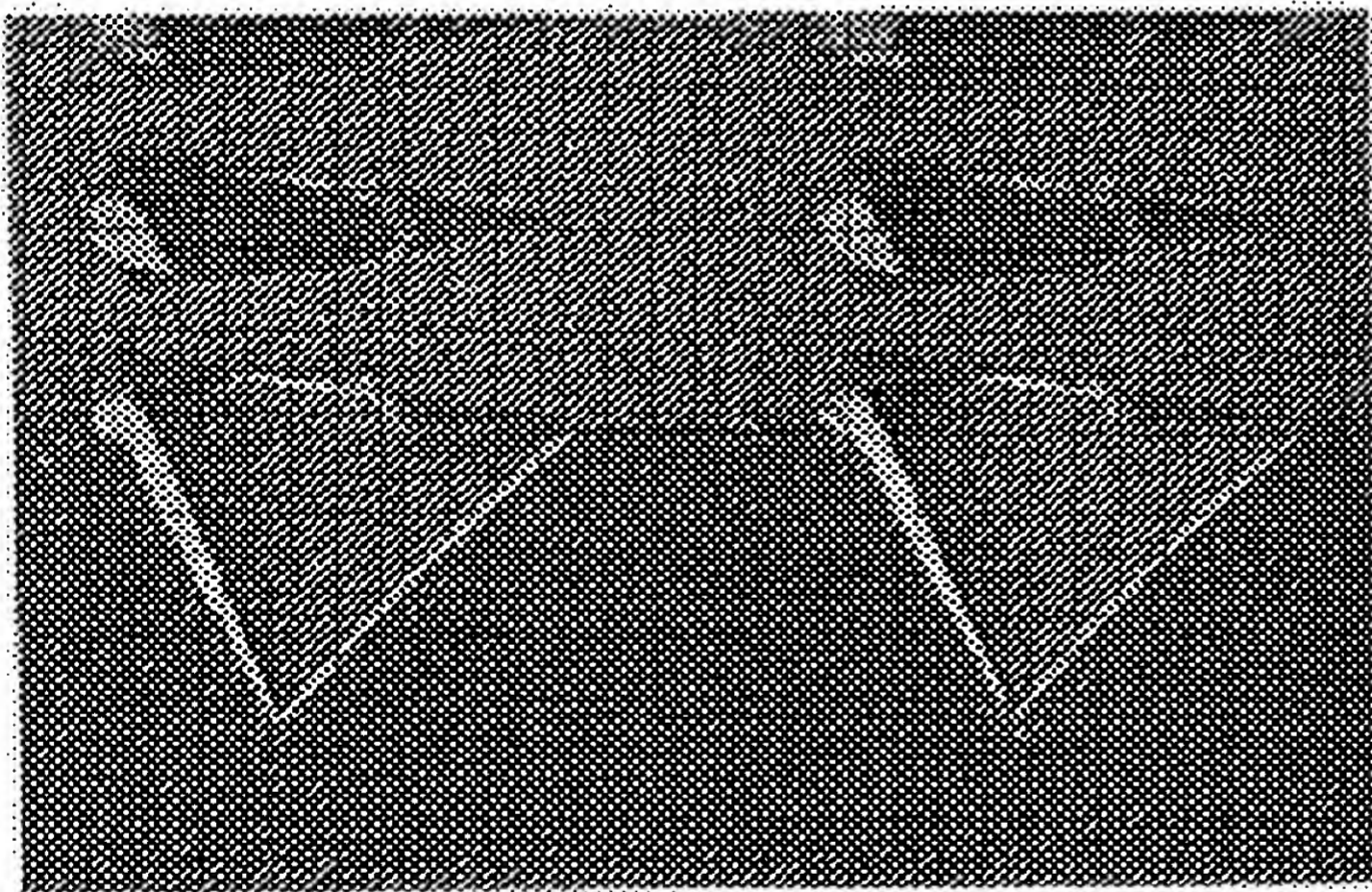
— 200 nm

【図2】

(A)



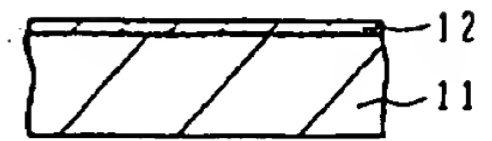
(B)



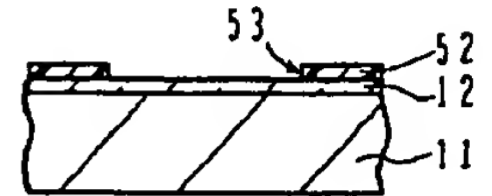
1.5 μm

【図5】

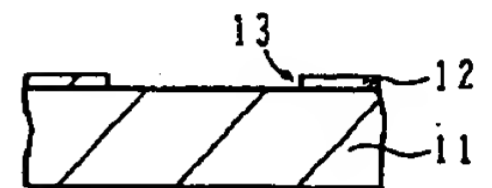
(A)



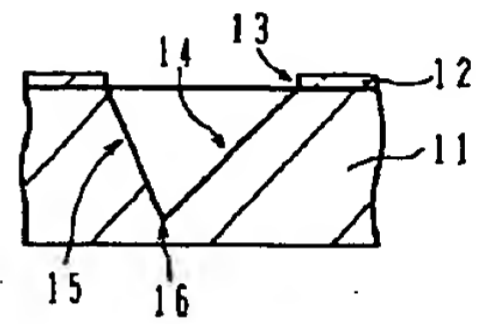
(B)



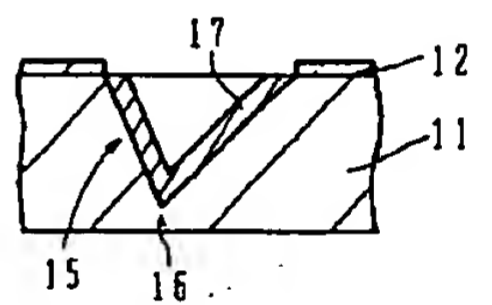
(C)



(D)

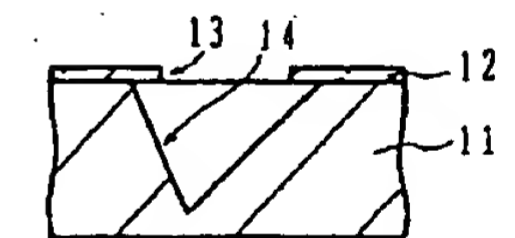


(E)

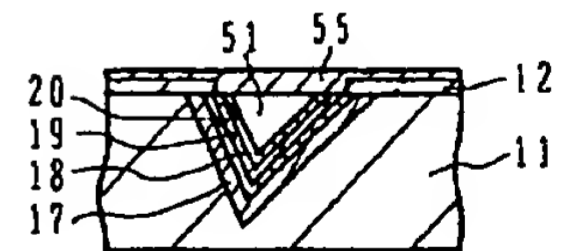


【図7】

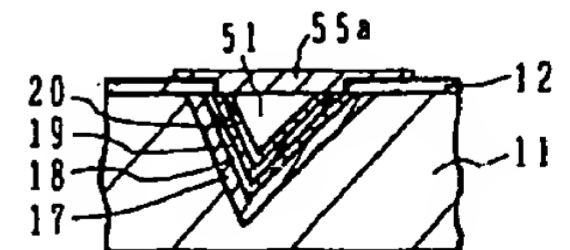
(A)



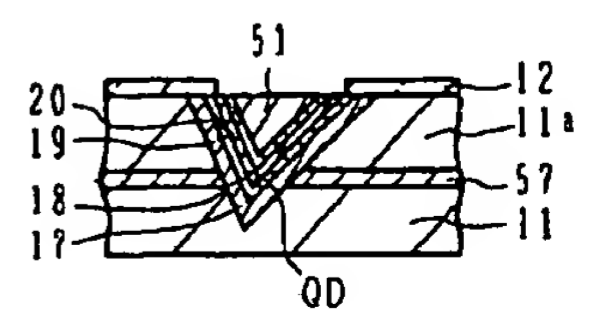
(B)



(C)

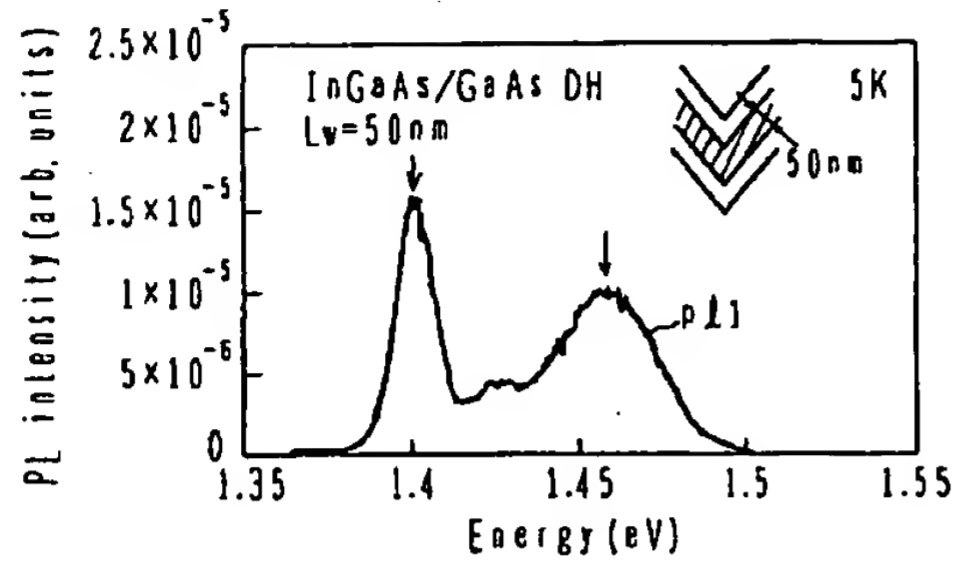


(D)

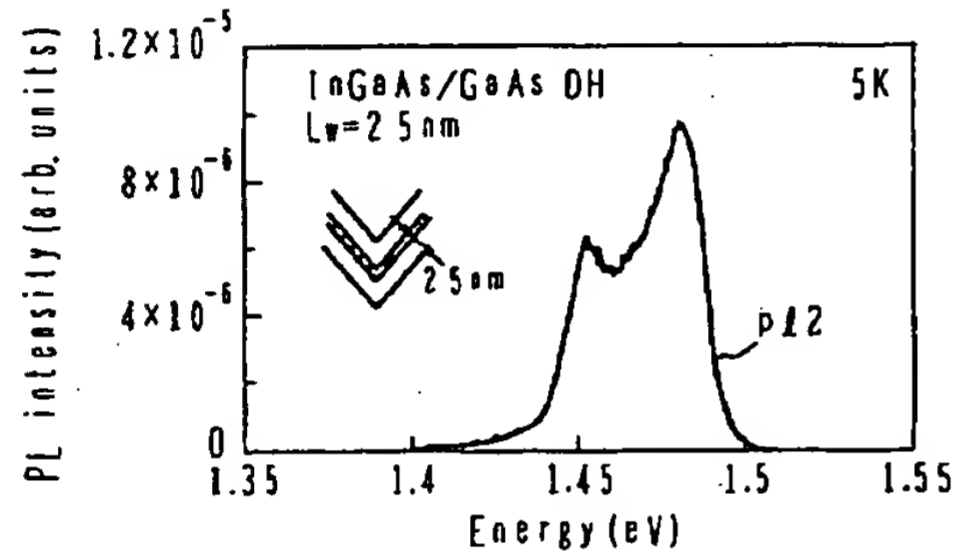


【図3】

(A)

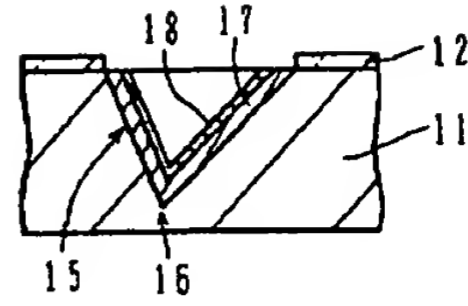


(B)

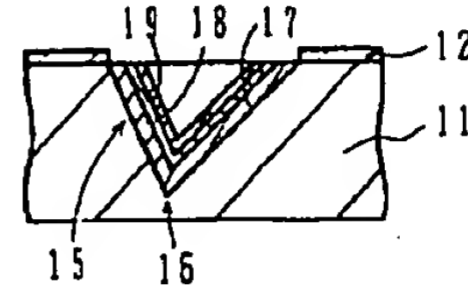


【図6】

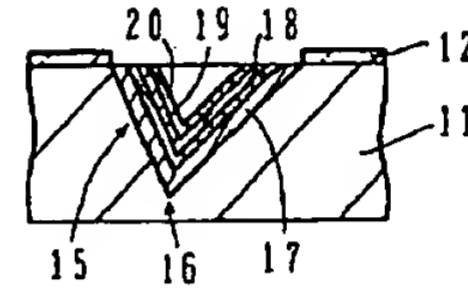
(F)



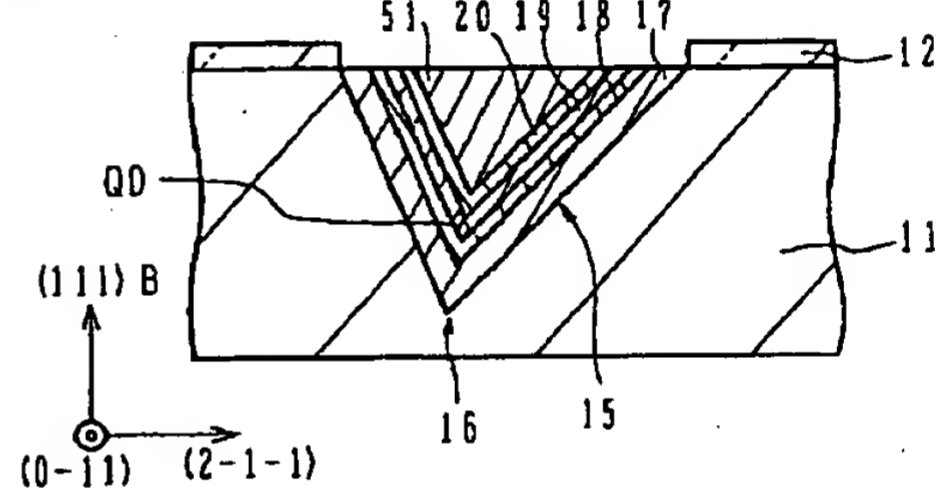
(G)



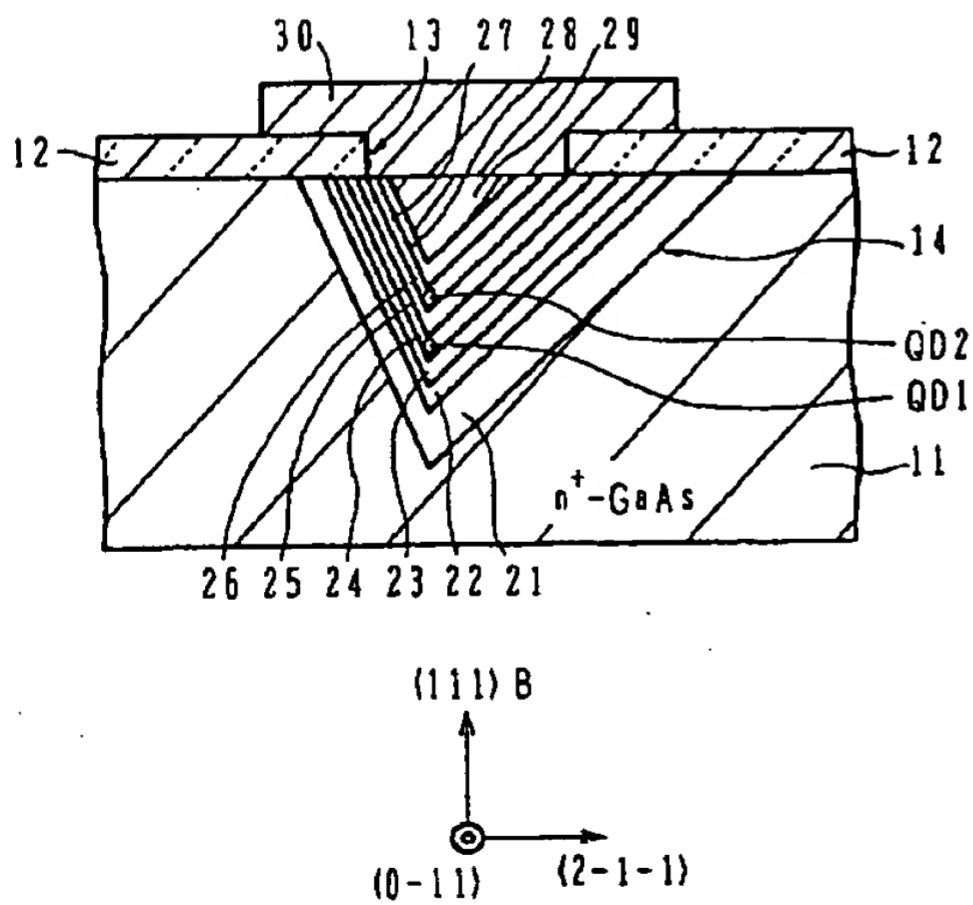
(H)



(I)



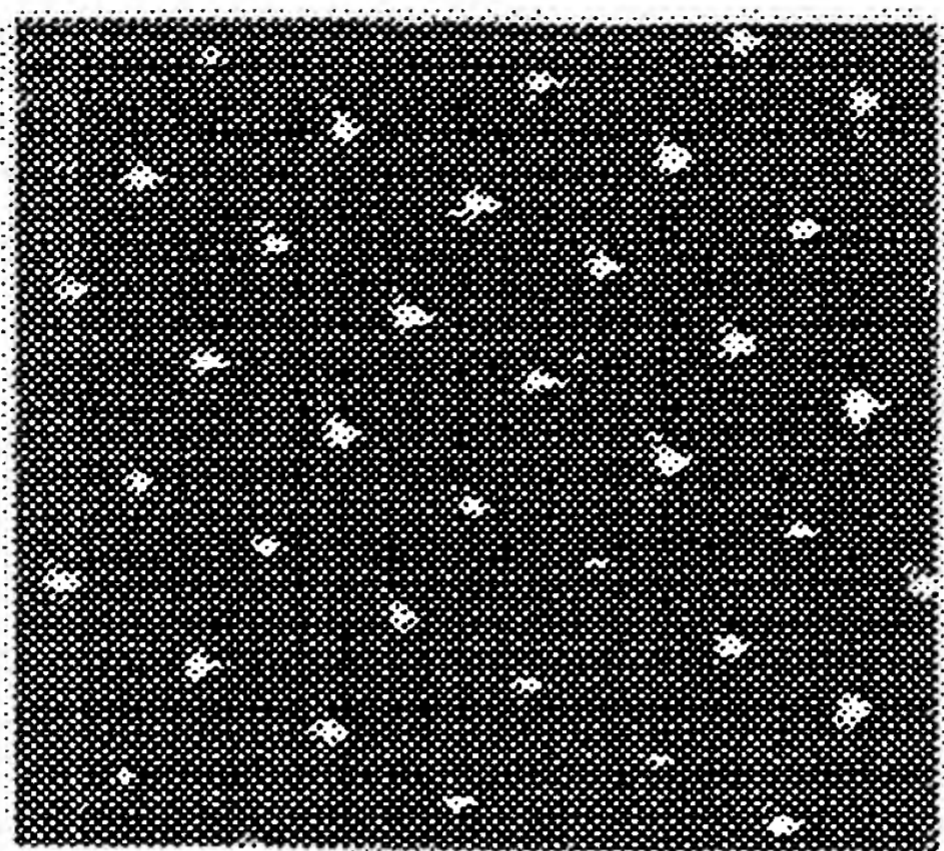
【図8】



- |                     |                     |
|---------------------|---------------------|
| 21: n-GaAs          | 26: InGaAs (In=0.1) |
| 22: GaAs            | 27: AlGaAs (Al=0.2) |
| 23: AlGaAs (Al=0.2) | 28: GaAs            |
| 24: InGaAs (In=0.1) | 29: n-GaAs埋込み層      |
| 25: AlGaAs (Al=0.2) | 30: Ti/Au           |

【図4】

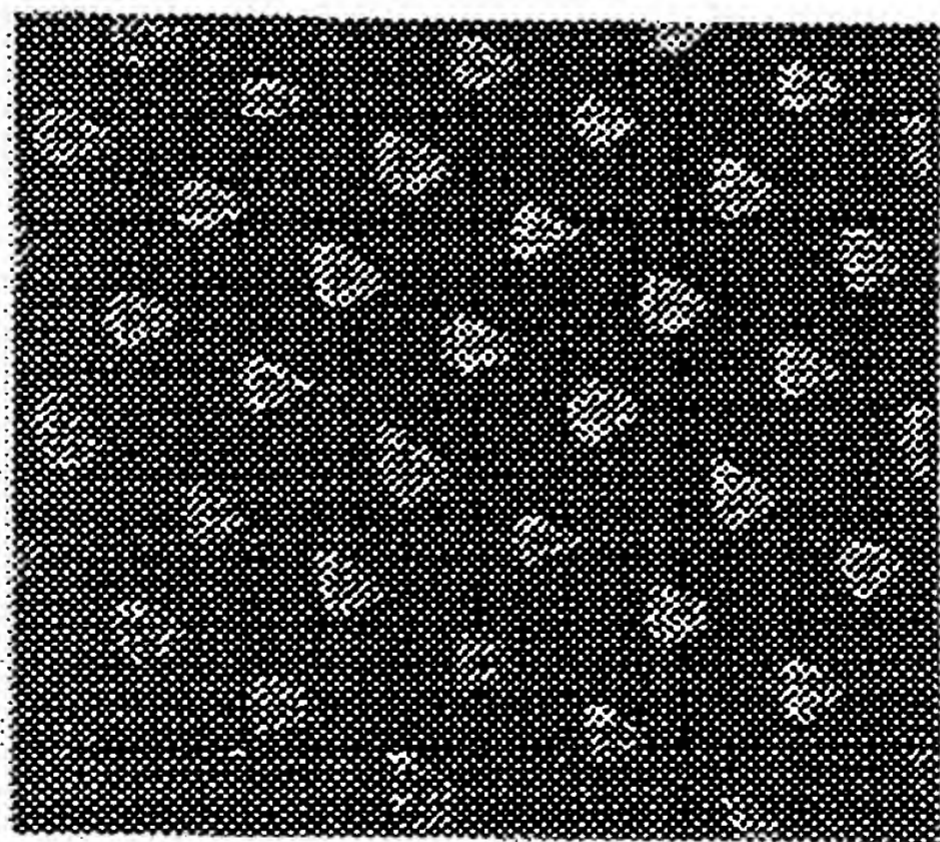
(A)



1.45 eV

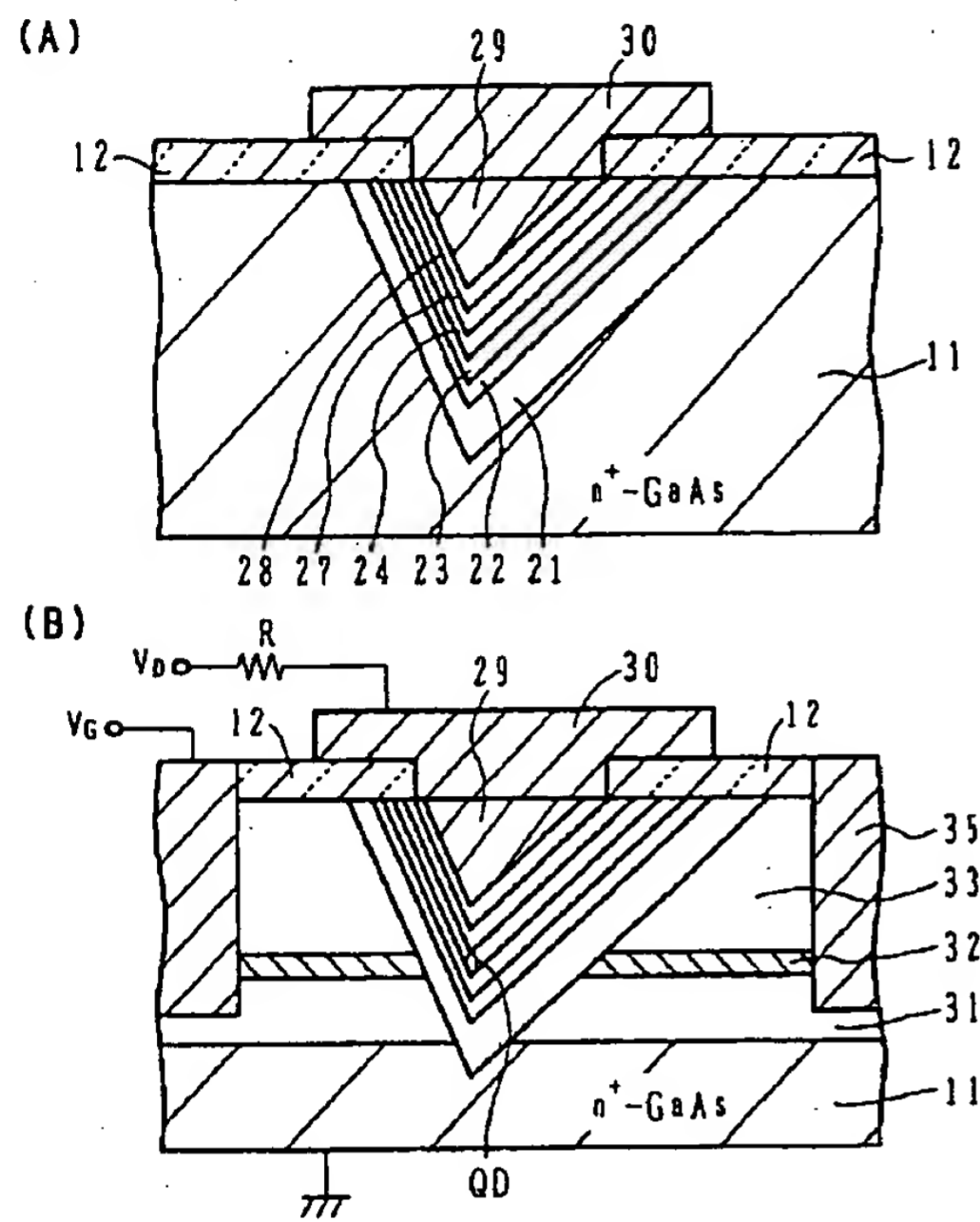
—— 10  $\mu$ m

(B)



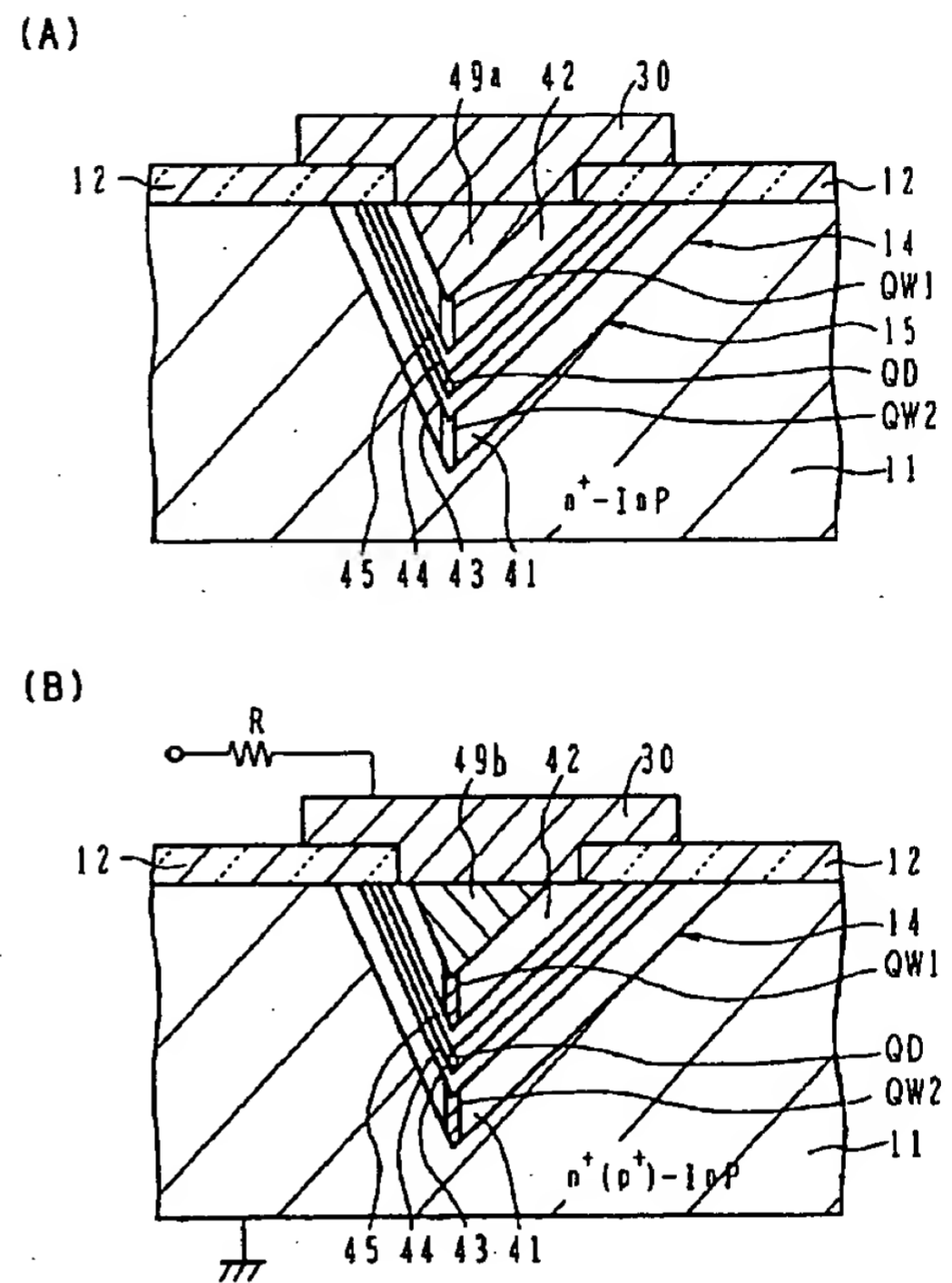
1.48 eV

【図9】



21: n-GaAs      27: AlGaAs (Al=0.2)  
 22: GaAs      28: GaAs  
 23: AlGaAs (Al=0.2)    29: n-GaAs埋込み層  
 24: InGaAs (In=0.1)    30: Ti/Au

【図10】



【図11】

